2П

УДК 004.272:004.042

О.Н. Паулин
Одесский национальный политехнический университет, г. Одесса, Украина
paulin@te.net.ua

О параллельной обработке потока данных, адаптированной к области бит произвольной конфигурации

Предлагается модель операции свёртки арифметических многорядных двоичных кодов (МРК), которая учитывает неравномерность распределения бит данных по разрядам. На основе этой модели разрабатываются процедуры и методы свёртки МРК, которые позволяют снизить задержку на обработку.

Введение

Основной проблемой при обработке потоков данных является отставание производительности средств параллельной обработки данных от быстро возрастающих их объёмов. Потоки данных могут быть интерпретированы как арифметические многорядные двоичные коды (МРК), при этом обработка заключается в преобразовании МРК в однорядный двоичный код с использованием базовой операции – свёртки кодов как обобщения операции их сложения. Свёртка кодов применяется при выполнении групповых операций суммирования, умножения, при кодировании-декодировании и в других случаях.

Особенностью операции свёртки множества бит в разрядном срезе (РС) является независимость её результата от значений конкретных бит – важно только количество «1» в РС. Это означает, что биты РС обладают естественной симметрией. Такая ситуация описывается с помощью симметрических булевых функций (СФ).

Известные процедуры и методы параллельной обработки МРК основаны на модели вертикальной обработки бит данных, при которой каждый РС обрабатывается отдельно, а собственно обработка реализуется с помощью одноразрядных операционных элементов (ОЭ) и малоразрядных компонент свёртки (компрессоров). Отметим, что МРК – это некоторая область бит (ОБ), которая в случае больших размеров требует рациональной декомпозиции МРК на слои кодов и регулярные фрагменты слоёв.

Постановка задачи. Необходимо предложить процедуры и методы параллельной обработки (свёртки) МРК, которые учитывали бы произвольность конфигурации сворачиваемой ОБ с целью снижения задержки такой обработки.

Модель параллельной обработки данных

В [1] предложена модель вертикальной обработки, в которую введен сдвиг рядов кодов относительно друг друга, что позволило отразить произвольность распределения бит в разрядных срезах и, следовательно, произвольность конфигурации ОБ, подлежащей параллельной обработке (свёртке).

Пусть заданы М слагаемых Aj, $j = 1...M$, в двоичной системе счисления (СС):

$$A_j = 2^{g_j} \cdot \sum_{i=1}^{k_j} 2^{i-1} \cdot a_{ji}, \qquad (1)$$

где i – номер разряда, k_j – разрядность j-го слагаемого, a_{ji} – значение i-го разряда для j-го слагаемого; g_j ($g_j \geq 0$) – величина сдвига слагаемого влево.

Каждое слагаемое A_j является рядом арифметического двоичного кода, а совокупность слагаемых A_j – это многорядный код с произвольной разрядностью рядов, по-разному сдвинутых друг относительно друга; они составляют определённую ОБ.

Искомая сумма слагаемых Aj равна

$$Q = \sum_{j=1}^{M} A_j = \sum_{j=1}^{M} 2^{g_j} \cdot \sum_{i=1}^{k_j} 2^{i-1} \cdot a_{ji}, \qquad (2)$$

причём для суммирования используются бинарные сумматоры с горизонтальной организацией переноса по всей цепочке разрядов.

Заменяя в (2) k_j на N, а M на M_i, получим модель вертикальной обработки

$$Q = \sum_{i=1}^{N} 2^{i-1} \cdot \sum_{j=1}^{M_i} a_{ji}\ , \qquad (3)$$

где N – количество разрядных срезов ($N = max(k_j+g_j)$, $j = 1...M$), M_i – количество слагаемых в i-м разрядном срезе ($i = 1...N$), в которой $g_j = 0$.

Обозначим $a_i = \sum_{j=1}^{M_i} a_{ji}$, где a_i – количество единиц в i-м РС. Тогда из (3) следует, что

$$Q = \sum_{i=1}^{N} 2^{i-1} \cdot a_i.. \qquad (4)$$

Итак, сумма Q слагаемых Aj определяется суммой «1» в каждом разрядном срезе с учётом его позиции (номером РС) в коде результата.

Отметим 2 важных момента. 1) Полученный код не является двоичным, хотя веса позиций и являются степенями двойки; значение Q ещё нужно перевести в двоичную форму. 2) Не важно, как распределены «1» по разрядному срезу, важно их суммарное количество. Это означает, что биты РС обладают естественной симметрией, которая описывается с помощью симметрических булевых функций (СФ). В [1], [2] получены результаты, позволяющие не только описывать такую ситуацию, но и разработаны методы для проектирования цифровых устройств, использующих операцию свёртки МРК.

На основе известных процедур, методов свёртки МРК и модели вертикальной обработки разработана [3] обобщённая модель операции свёртки ОБ произвольной конфигурации, которая включает в себя следующие составляющие: 1) математическое описание и структуру операции свёртки МРК; 2) методы разбиения на фрагменты исходной области бит (ОБ) операндов $a_1,..., a_n$ произвольной разрядности; 3) процедуры и методы свёртки кодов; 4) методы организации переносов при свёртке кодов; 5) модели операционных элементов.

Математическое описание операции свёртки МРК даётся формулой (4).

Предложенная структура операции свёртки МРК представлена на рис. 1. Здесь обозначено: $a_1,..., a_n$ – разрядные срезы; $l_1, ..., l_n$ – количество бит (одноразрядных

слагаемых) в РС; $S_1,…, S_n$ – поразрядные значения суммы; $C_1, …, Cm$ – внутренние переносы; $C_1, …, C_k$ – результирующие позиционные переносы.

По умолчанию принято, что слагаемые (операнды) поступают на вход компрессора одновременно, то есть параллельно. Процедура выбирается (управление U) разработчиком цифровых устройств из множества процедур $P = \{P_1, P_2, …\}$. В процедуру входят способы разбиения ОБ $D = \{D_1, D_2, …\}$ на фрагменты $F = \{f_1, f_2,…\}$ и методы $M = \{M_1, M_2, …\}$ обработки полученных фрагментов. ОБ задаётся множеством операндов $A = \{a_1, a_2, … a_n\}$ и количеством $L = \{l_1, l_2, …, l_n\}$ бит в i-м РС. Собственно обработкой ОБ занимается массив ОЭ, составляющих компрессор.

Выбор процедуры влияет на количество этапов свёртки МРК, и, следовательно, на задержку обработки; при этом сложность схем компрессоров растёт значительно быстрее ($O(2^m)$), чем их быстродействие ($O(m)$). В процедуру входят способы декомпозиции ОБ и методы свёртки фрагментов ОБ.

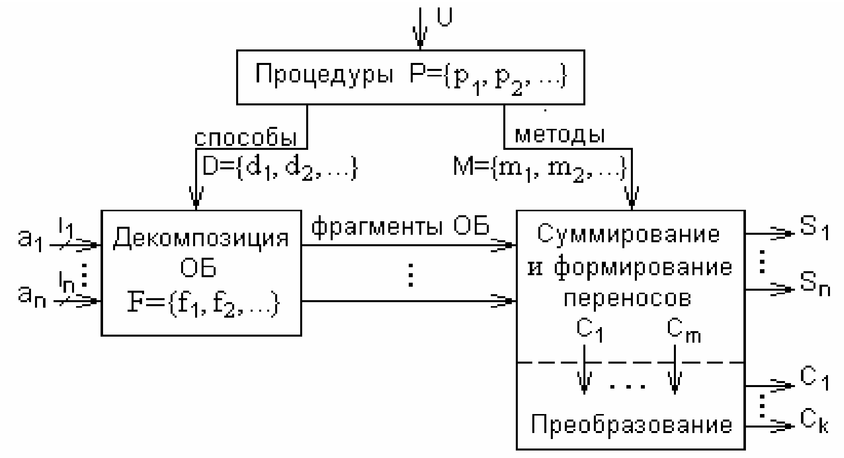


Рисунок 1 – Структура операции свёртки МРК

Для свёртки МРК при большом числе рядов кодов используется декомпозиция ОБ, то есть множества рядов кодов, на слои (их фрагменты) и свёртка полученных слоёв (их фрагментов), а далее – свёртка рядов полученных результатов. ОБ МРК может быть разбита на фрагменты как регулярные, так и нерегулярные. Способы разбиения основаны на правиле: должны быть учтены все биты ОБ, притом только один раз.

Необходимость разбиения ОБ определяется быстрым нарастанием сложности компрессора при использовании многооперандных структур: она пропорциональна квадрату числа разрядов и экспоненциальной функции от числа сжимаемых рядов. Разбиение должно быть проведено таким образом, чтобы процедура свёртки и компрессор для её реализации соответствовали выбранному показателю качества логической схемы.

Операция свёртки имеет две составляющие: суммирование бит с формированием внутренних переносов (с использованием определённых механизмов их формирования из множества $C = \{C_1, C_2, …\}$) и их преобразование в выходные переносы. Собственно для суммирования используется простая операция сложения по модулю 2. Преобразователь переносов нужен для пересчёта значений бит внутренних переносов в значения бит выходных переносов; пересчёт необходим в двух случаях: внутренние переносы – непозиционные либо из старшего разряда имеется несколько внутренних переносов одного веса.

В работе [4] предложено при декомпозиции МРК выделять *регулярные фрагменты* ОБ, а именно: прямоугольник (квадрат), треугольники, верхний и нижний; трапеции, левая и правая, а также ромб. Относительно регулярных фрагментов доказаны теоремы и следствия из них о количестве внешних для фрагмента переносов.

Как показали исследования, тип фрагмента и его параметры (количество рядов и ширина фрагмента, то есть его разрядность) влияют на распределение бит в формате результата свёртки. Это позволяет оптимизировать сложность сумматоров и умножителей на их основе при вариации параметров фрагментов при той же задержке.

Обобщённая модель позволяет решать следующие задачи оптимизации компрессора (многооперандного сумматора [1]) по задержке: 1) выбор процедуры P; 2) выбор способа D декомпозиции МРК на фрагменты; 3) выбор метода M обработки фрагментов; 4) выбор метода организации переноса C.

Таким образом, $T_{min} \Leftarrow P$, где $P \supseteq \{D, M\}, M \supseteq \{C\}$.

Процедуры параллельной обработки МРК

В работе предложены новые и модифицированные процедуры свёртки МРК.

К новым относятся процедуры вертикального сложения и многооперандной свёртки. Процедура вертикального сложения [5] заключается в разбиении ОБ на отдельные РС и подсчёте количества единиц параллельного (непозиционного) кода одного РС, содержащего m бит. В основе ВС лежит предварительное упорядочивание кода a и деление упорядоченного кода a_0 на основание системы счисления (СС) $k \geq 2$. В результате получается двоично-кодированное представление одного РС. Доказанные теоремы устанавливают процедуры вычислительного процесса и объём вычислений, а также обосновывают выбор наиболее быстрой пирамидальной структуры вычислителя.

Процедуры многооперандной обработки [1] предполагают разбиение МРК (в том числе ромба бит частичных произведений при умножении) на слои каждого слоя – на регулярные фрагменты с дальнейшей их обработкой соответствующими компрессорами. При обработке фрагментов возникают переносы, которые учитываются на следующих этапах свёртки. С целью ускорения свёртки ОБ на промежуточных её этапах предложен метод раздельного суммирования сумм и переносов.

Известные процедуры свёртки МРК могут быть представлены цепочкой преобразований вида $m \to m' \to m'' \to ... \to 2 \to 1$ с использованием на заключительном этапе бинарного сумматора с параллельным переносом (ПС). В работе же предложен подход, при котором цепочка преобразований при свёртке МРК имеет вид $m \to m' \to$ $\to m'' \to ... \to 3 \to 1$, в которой на последнем этапе применяется трёхоперандный сумматор с параллельным переносом (ТОС) [6], который представляет собой компрессор вида $3 \to 1$. При этом исследована многоразрядная многооперандная обработка для ОБ *произвольной конфигурации* с единой позиции, основанной на применении аппарата СФ [2].

В работе с целью ускорения обработки МРК были модифицированы следующие процедуры: 1) процедура В.М. Храпченко [7], основанная на использовании одноразрядных полных сумматоров (ОЭ типа $3 \to 2$); 2) процедура, основанная на обработке МРК деревьями К. Уоллеса [8] и М. Санторо [9], построенных на ОЭ типа $3 \to 2$; 3) процедура Я.Е. Ромма [10], основанная на многооперандной обработке с отложенным переносом.

Модификация процедуры В.М. Храпченко обработки РС основана на применении разработанных в [11] ОЭ типа $m \to 3$, m = 4...7. Модификация процедуры обработки слоя кодов деревьями заключается в применении деревьев на основе ОЭ типа $m \to 3$, m = 8, 12, 14. В обоих случаях на последнем этапе используется ТОС.

Модификация процедуры Я.Е. Ромма заключается в применении на первом этапе разработанного метода шифрации кодов, при котором неупорядоченный код сразу преобразуется в однорядный двоичный код, минуя этап упорядочения кода. Тем самым исключается необходимость применения бинарного сумматора с параллельным переносом.

Методы параллельной обработки МРК

Новые и модифицированные методы свёртки МРК могут быть сведены в 2 группы: методы многооперандной обработки и методы вертикального сложения.

В первой группе методов проводится обработка фрагментов ОБ произвольной конфигурации, основанная на использовании аппарата СФ. Для обработки одного РС с количеством бит m = 4...7 предложены методы, основанные на использовании одноразрядных ОЭ типа $m \to 3$. В случае обработки группы РС предложенные методы позволяют свернуть как регулярные фрагменты, так и нерегулярные. Обработка определённого фрагмента ОБ осуществляется специализированным компрессором (малоразрядным сумматором). В работе предложены также методы свёртки слоя из трёх рядов полноразрядным сумматором типа $3 \to 1$ [6].

Процесс обработки в методах первой группы описывается таблицами функционирования (ТФ) компрессора для поразрядных сумм и выходных переносов. Для построения ТФ используются разработанные алгоритм и программа расчёта разрядных индексов СФ.

Вторая группа методов основана на двух операциях: предварительное упорядочение параллельного (непозиционного) кода одного РС и деление упорядоченного (доупорядоченного) кода на основание заданной системы счисления ($\alpha \geq 2$); вторая операция осуществляется многократно [5]. К первой операции приложим аппарат СФ, а ко второй – нет, ибо она состоит из двух неарифметических операций: выбор и конкатенация. Для вертикального сложения разработаны специфические ОЭ: упорядочиватели (доупорядочиватели) единиц и делители на α.

На рис. 2 представлена классификация методов (известных и новых) и средств вертикальной обработки МРК. Пунктиром показаны альтернативные варианты использования компонент свёртки.

В работе предложены 2 варианта организации переносов при многооперандной обработке: 1) выделение внутренних переносов; 2) учёт внутренних переносов без их явного выделения. В первом случае схема компрессора упрощается, но падает его быстродействие, во втором – наоборот, быстродействие растёт, но схема усложняется.

Выбор того или иного вида переноса (известного или нового) зависит от предъявленных требований к компрессору по задержке и аппаратным затратам.

В компрессорах могут быть использованы операционные элементы (ОЭ) трёх видов: 1) ОЭ Уоллеса ($6 \to 2$) [8] и Санторо ($4 \to 2$) [9], построенные на одноразрядных полных сумматорах. 2) ОЭ, построенные в работе композиционным образом. Они, подобно деревьям Уоллеса и Санторо, имеют внутренние переносы, однако в них предусматривается два выходных переноса. 3) ОЭ, построенные в работе на основе ТФ без выделения внутренних переносов.

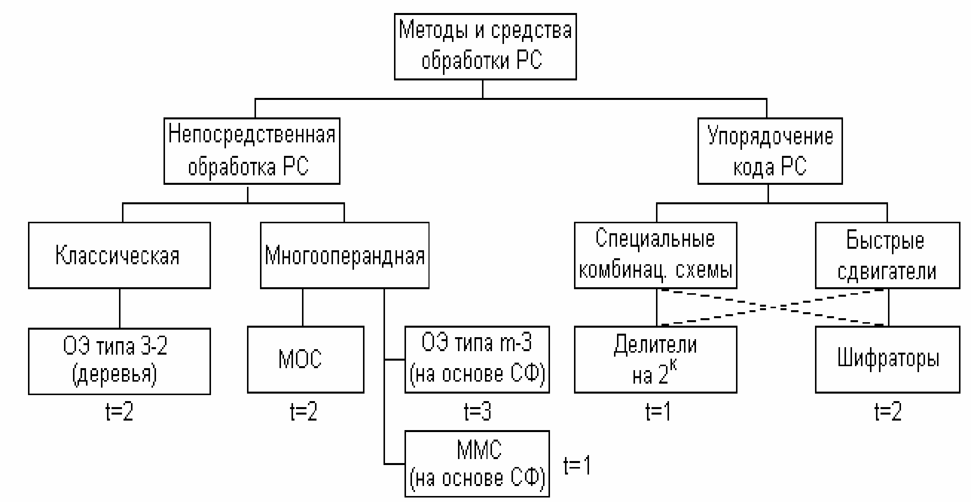


Рисунок 2 – Классификация методов и средств свёртки МРК

Заключение

Не существует альтернативы параллельной обработке (свёртке) многорядных арифметических двоичных кодов (МРК), важно при этом получить максимально возможную эффективность обработки по критерию минимальной задержки.

Построена обобщённая модель операции свёртки МРК; особенностью модели является сдвиг рядов кодов друг относительно друга, что позволяет отразить произвольность распределения бит по разрядам, иначе – произвольную конфигурацию ОБ. Такая ситуация легко описывается с помощью симметрических функций (СФ). Разработанная прикладная теория СФ [2] позволяет строить логические схемы устройств, основанных на операции свёртки МРК.

Модель служит основой для разработки процедур и методов параллельной обработки кодов, а также методов построения компонент для такой обработки. Разработанные и модифицированные процедуры построены с использованием трёхоперандных сумматоров.

Разбиение ОБ на регулярные фрагменты позволяет упростить процесс проектирования сумматоров и умножителей, а вариация параметров фрагментов позволяет оптимизировать сложность устройств при той же задержке.

В [12] рассмотрен вопрос эффективности ОЭ для свёртки (сжатия) ОБ по комплексному показателю «отношение коэффициента свёртки операционным элементом к его задержке». Показано, что предложенные ОЭ обладают преимуществом относительно известных ОЭ по этому показателю.

Литература

1. Паулин О.Н. Модель и метод проектирования многооперандных сумматоров на базе симметрических функций / О.Н. Паулин, А.М. Ляховецкий // Матеріали міжнародної конференції з індуктивного моделювання. МКІМ-2002. – Львів : ДНДІ ІІ, 2002. – С. 208-213.
2. Паулин О.Н. К построению прикладной теории симметрических булевых функций / О.Н. Паулин // Искусственный интеллект. – 2005. – № 4. – 2005. – С. 245-255.
3. Нестеренко С.А. Построение обобщенной модели операции свёртки многорядных кодов при цифровой обработке сигналов / С.А. Нестеренко, О.Н. Паулин // Технология и конструирование в электронной аппаратуре. – 2008. – № 1 (73). – С. 20-26.

4. Paulin O.N. On carry organization in compressing multi-row codes / O.N. Paulin // Pattern Recognition and Information Processing (PRIP'05) : Proceedings of the Eighth International Conference, 18-20 May, Minsk, Republic of Belarus. – Minsk : Propilei, 2005. – P. 454-456.
5. Дрозд Ю.В. Упорядочение единиц с использованием операции доупорядочения единиц / Ю.В. Дрозд, О.Н. Паулин, А.В. Дрозд // Труды Одесского политехнического университета. – Одесса, 2000. – Вып. 2 (11). – С. 104-107.
6. Паулин О.Н. О свертке трехрядных кодов / О.Н. Паулин // Управляющие системы и машины. – 2005. – № 5. – С. 68-72.
7. Храпченко В.М. Об одном способе преобразования многорядного кода в однорядный / В.М. Храпченко // Докл. АН СССР. – 1963. – Вып. 148, № 2. – С. 296-299.
8. Wallace C.S. A suggestion for a fast multiplier / C.S. Wallace // IEEE Trans. Comput.,1964. – Vol. EC-13, № 1. – P. 14-17.
9. Santoro Mark Ronald. Design and Clocking of VLSI Multipliers / Santoro Mark Ronald // Stanford University, Computer Systems Laboratory. – Report Number: CSL-TR-89-397, October, 1989.
10. Ромм Я.Е. Метод вертикальной обработки потока целочисленных групповых данных. I. Групповые арифметические операции / Я.Е. Ромм // Кибернетика и системный анализ. – 1998. – № 3. – С. 123-151.
11. Нестеренко С.А. К синтезу операционных элементов типа *m*-3 / С.А. Нестеренко, О.Н. Паулин // Материалы МНПК «Информационные технологии и информационная безопасность в науке, технике и образовании «Инфотех-2007» : материалы Международной научно-практической конференции. – Севастополь : Изд-во СевНТУ, 2007. – Ч. 1. – С. 40-43.
12. Паулин О.Н. Об эффективности сжатия многорядных кодов / О.Н. Паулин // Искусственный интеллект. – 2004. – № 3. – С. 224-228.

О.М. Паулін

О паралельній обробці потоку даних, адаптованій до області біт довільної конфігурації

Пропонується модель операції згортки арифметичних багаторядних двійкових кодів (БРК), яка зважає на нерівномірність розподілу біт даних за разрядами. На основі цієї моделі розроблюються процедури і методи згортки БРК, які дозволяють зменшити затримку на обробку.

O.N. Paulin

On Parallel Dataflow Processing that Adapted to Bit Region of Arbitrary Configuration

Model of the compressing operation of arithmetic multi-row binary codes (MRC) is offered. In this model irregularity allocation of data bit per digits is considered. Procedures and methods of compressing MRC based on this model allow diminish delay of processing are designed (developed).

Статья поступила в редакцию 25.06.2010.